

Óbudai Egyetem				
Alba Regia Műszaki Kar				
Tantárgy neve és kódja: VHDL programozás AMWVHPIBNE		Kreditérték: 4		
Nappali tagozat		2020/21 tanév		2. félév
Szakok, melyeken a tárgyat oktatják: villamosmérnök				
Tantárgyfelelős oktató:		Oktatók:	Tolner Nikoletta mestertanár	
Előtanulmányi feltételek: (kóddal)		Digitális rendszerek AMXDR0IBNE		
Heti óraszámok:	Előadás:2	Tantermi gyak.:	Laborgyakorlat: 3	Konzultáció:
Számonkérés módja (s,v,f):	évközi jegy			
A tananyag				
<i>Oktatási cél:</i> A hallgatók ismerkedjenek meg a korszerű áramkörök kialakítási lehetőségeivel, a hardver programozható logikák alapjaival. Laboratóriumi munka keretében használják, és programozzák a megismert programozható logikai áramkört.				
<i>Tematika:</i> <i>Az előadások online formában kerülnek megtartásra (elearning), a laborgyakorlatok személyes jelenléttel.</i>				
<ul style="list-style-type: none"> - Programozható logikai áramkörök általános felépítése - Programozható logikai áramkörök típusa - VHDL nyelv története, nyelvi elemek - VHDL program felépítése - VHDL Adatok - VHDL Utasítások - VIVADO program - Kombinációs hálózatok megvalósítása VHDL nyelven - Sorrendi hálózatok megvalósítása VHDL nyelven 				
Témakör				Óraszám
Előadások (elearning)				
Programozható logikai áramkörök				febr. 08.
VHDL 1. A nyelv története, nyelvi elemek VHDL 2. A program felépítése				febr. 15.
VHDL 3. Adatok VHDL 4. Utasítások				febr. 22.
VHDL 5. Példák kombinációs hálózatokra (alappuk, késleltetés) VHDL 6. Példák kombinációs hálózatokra (kimenetek)				márc. 01.
VHDL 7. Példák kombinációs hálózatokra (multiplexerek, demultiplexerek)				márc. 08.
szünet				márc. 15.
VHDL 8. Példák kombinációs hálózatokra (aritmetikai áramkörök)				márc. 22.
VHDL 9. Példák sorrendi hálózatokra (flip-flop-ok)				márc. 29.
szünet				ápr. 05.
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)				ápr. 12.
VHDL 11. Példák sorrendi hálózatokra (Számláló)				ápr. 19.
VHDL 11. Példák sorrendi hálózatokra (Számláló)				ápr. 26.
1. zh teszt				máj. 03.
Pótlás				máj. 10.

Laborgyakorlatok		heti bontás
Vivado programrendszer megismerése		febr. 10.
Vivado programrendszer megismerése		febr. 17.
Vivado programrendszer megismerése		febr. 24.
VHDL 5. Példák kombinációs hálózatokra (alapkapuk, késleltetés) VHDL 6. Példák kombinációs hálózatokra (kimenetek)		márc. 03.
VHDL 7. Példák kombinációs hálózatokra (multiplexerek, demultiplexerek)		márc. 10.
VHDL 8. Példák kombinációs hálózatokra (aritmetikai áramkörök)		márc. 17.
2. zh gépes		márc. 24.
VHDL 9. Példák sorrendi hálózatokra (flip-flop-ok)		márc. 31.
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)		ápr. 07.
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)		ápr. 14.
VHDL 11. Példák sorrendi hálózatokra (Számlálók)		ápr. 21.
VHDL 11. Példák sorrendi hálózatokra (Számlálók)		ápr. 28.
3. zh gépes		máj. 05.
pótlás		máj. 12.
Félévközi követelmények		
A pótlás módja:	A tesztek folyamatosan pótolhatók. Mindegyik zárthelyi 1-szer pótolható, előre egyeztetett időpontban, illetve legkésőbb a szorgalmi időszak utolsó hetében. Csak az elégtelen zárthelyit kell újra írni. Elégtelen félévközi jegyet a vizsgaidőszak elején (első 10 munkanap) aláíráspótló vizsga címén lehet egyszer javítani.	
Félévközi követelmények: Az előadások elearning rendszerben folynak, a feltöltött anyagokból kell felkészülni és megírni a tesztek minimum 50%-ra. Az első előadáson az általános tudnivalók és felmerülő kérdések megbeszélése miatt ajánlott megjelenni. A laborgyakorlatokon való részvétel kötelező.		
Mind a 3 zárthelyit minimum elégségesre kell teljesíteni. Ha mind a 3 zárthelyi legalább elégséges értékelésű, és a kiadott tesztek minimum 50%-osak, akkor a 3 zárthelyi jegy átlaga adja a félévközi jegyet.		
1. zh: online teszt		
2. zh: a laborgyakorlaton egy kiadott feladat megvalósítása		
3. zh: a laborgyakorlaton egy kiadott feladat megvalósítása		
Zárthelyik értékelése:		
49%-ig elégtelen		
50 % - 59% elégséges		
60 % - 74 % közepes		
75 % - 84 % jó		
85 % > jeles		

Irodalom:	
	Dr. Turóczy Antal: Digitális rendszerek Dr. Hosszú Gábor, Keresztes Péter: Vhdl-alapú rendszertervezés Moodle felületre feltöltött anyagok